

Philippe LOPEZ
46, Bd Edouard Baudoïn
06160 Juan-les-Pins
Mob : 06.63.99.97.32
E-mail : philo06@free.fr
34 ans, célibataire

Ingénieur en électronique

10 ans d'expérience

■ Expériences professionnelles

Depuis 04/2002 Ingénieur développement - Texas Instruments (Villeneuve-Loubet)

- ⊞ **Projet E///_3G_Proj_D 65nm (2005-2007) & Projet E///_3G_Proj_F 65nm (depuis mi-2007) : Team Leader sur l'activité Intégration Front-End (5 personnes)**
 - À Responsable du suivi des actions mise en place en collaboration avec le responsable de l'activité Front-End chez le client.
 - À Active participation dans l'évaluation du projet, la définition système et la définition des différents domaines power. Intégration des techniques de power management pour la réduction globale des courants de fuite transistor.
 - À Travail en étroite collaboration avec le client pour s'assurer d'une phase d'intégration du projet rapide et efficace.
 - À Définition du work-split entre TI et le client et mise en place d'une méthodologie commune (flow et outils).
 - À Définition des impératifs de qualité sur tous les échanges RTL / Netlist au niveau IP / Subsystem / Subchip / Top entre TI et le client pour satisfaire aux besoins de chaque activité (Vérification, DFT, Back-end) durant toute la durée du projet.
 - À Mise en place des flows pour les outils de vérification statique tel que Spyglass pour l'amélioration globale des échanges avec le client et s'assurer d'un cycle court pour la correction des problèmes trouvés. Responsable des échanges TI vers le client sur le RTL et les netlists.
 - À Mise en place des outils de connectivité SOC tel que Spinner, Spider, Naxos pour une réduction drastique du temps de développement RTL et une amélioration générale du code délivré.
 - À Responsable de toutes les implémentations d'ECO fonctionnel dans les netlists Front-End et Back-End en s'assurant de l'équivalence formelle entre le RTL et les dites netlists.
- **Project E///_3G_Proj_C 90nm (2004-2005) : Team Leader sur l'activité Vérification fonctionnelle (5 personnes)**
 - À Responsable du design des périphériques TI, la validation et le support au client
 - À Mise en place d'un flow automatique de validation permettant de lancer la suite de non-regression dès la fin de la génération des SDF et netlist.
 - À Application de règles et méthodologie communes avec le client dans le respect des impératifs de timing closure.
 - À Vérification de la corrélation des résultats de STA et GLS. Support sur les activités de Timing Closure et de solutions NFECO.
- Ž **Project E///_3G_Proj_C bench 90nm (2 mois 2004) : Leader sur l'activité STA.**
 - À Coordination des runs et résultats STA entre l'équipe Design TI et le client.
 - À Responsable des mises à jour des contraintes STA sur les blocks TI.
 - À Support sur les activités de Timing Closure et de solutions NFECO.
- **Project R 3G high-end 90nm (4 mois 2004)**
 - À Active participation dans le changement d'architecture système pour l'accès au subsystem Edge (Implémentation et documentation sur les modifications RTL associées au subsystem CPU et au Top)
 - À Activité synthèse de blocks.
- **Project E 3G mid-end 90nm (2 mois 2004)**
 - À Modifications RTL des blocks USB et IrDA. Génération des netlists.
- ' **Project E///_2G_Proj_E 130nm (2003-2004) : Migration technologique d'un chip en 180nm**
 - À Activité floorplanning au niveau Top permettant la réduction de la surface de l'ASIC, conduisant à mes modifications systèmes et RTL.
 - À Activité synthèse de blocks.
 - À Responsable des activités sur le Lead Mega Module (TI DSP Core) : Simulations Gate Level, STA, X-Talk.
 - À Support actif avec les ingénieurs Produit pour résoudre 90% des problèmes de pattern de test.
- ' **Project E///_3G_Proj_B 180nm (2002)**
 - À Activités sur le MeGaStar 3 (DSP Core) : Ecriture testcase assembleur, validation et génération des patterns de test.
 - À Génération RTL du BIST et Efuse.
 - À Modifications des scripts ATPG pour augmenter le taux de couverture de fautes.

- 08/2000** **Ingénieur développement - ARM (Sophia Antipolis)**
04/2002 À Responsable de la validation du CPU ARM720TD (8ko \$, MMU, CP15, CPU ARM7TDMI).
 À Génération de vecteurs ATPG et écriture de tests spécifiques pour les régions non-scannable du design.
- 11/1999** **Ingénieur développement - EuroMIPS Systems (Sophia Antipolis) :**
08/2000 **Consultant chez Texas Instruments**
 À Durant le développement d'un ASIC Digital Base-Band 2.5G (GPRS et E-GPRS), synthèse de modules, floorplanning, étude d'IR Drop.
 À Développement d'un "flow" en Perl pour une génération automatique et simplifiée des vecteurs de tests.
- 02/1999** **Ingénieur développement - Thales Computer (Toulon)**
07/1999 À Validation d'un ASIC (Bridge CPU Power PC, PCI 32bits-33MHz, PCI 64bits-66MHz et SDRAM 100-133MHZ ou EDO-DRAM 66 MHz.
 À Ecriture de tests pour valider les nouvelles fonctionnalités ainsi que la correction des bogues de la version précédente

■ Stages en Entreprise

- 1997/1998** **Stage élève-ingénieur à Tecmag (Houston - Texas - U.S.A.)**
 À Conception et réalisation de plusieurs projets aboutissant à la conception de cartes électroniques.
 À Réalisation du schéma électrique, design du PCB, programmation d'EPLD Altera, tests électriques et validation des tests.
- 04/1994** **Stage élève-technicien à L.E.S.I.C. (Montpellier)**
06/1994 À Elaboration d'un programme en Fortran 90 pour le traitement d'image numérique de photoémission.

■ Formation

- 1998** **Ingénieur E.N.S.E.I.R.B.**, Option : Micro-électronique.- Ecole Nationale Supérieure d'Electronique, Informatique et Radiocommunications de Bordeaux.
- 1994** **D.U.T. Génie Electrique et Informatique Industrielle** (Automatismes et Systèmes). IUT Nimes.
- 1992** **Baccalauréat D.**, Lycée F. Mistral. Avignon.

■ Compétences

Langages	ð Perl, C; Assembleur ARM Architecture v4; VHDL, Verilog
OS	ð UNIX, Linux, Windows XP
Connectivity	ð Magillem Naxos, Duolog Spider & Spinner
Verification	ð Atrenta Spyglass, Cadence LEC; Mentor Modelsim, Cadence NC-Verilog, Synopsys VCS
Synthèse / STA	ð Synopsys Design Compiler, Magma BlastRTL ; Synopsys PrimeTime & PrimeTime-SI
SCM / DRM	ð Atria Rational Clearcase / MatrixOne Synchronicity DesignSync
ATPG	ð TetraMAX et Flextest

■ Langues

Anglais	ð Courant
Allemand	ð Notion

■ Centres d'intérêts

Sports	: Vélo, natation, course, ski, tennis de table.
Loisirs	: Astronomie, photographie, voyage, randonnée pédestre.